

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Ho-Woo PARK et al. :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: March 24, 2004 : Attorney Docket No. SEC.1135  
For: SEMICONDUCTOR DEVICE INCLUDING AIR GAP BETWEEN  
SEMICONDUCTOR SUBSTRATE AND L-SHAPED SPACER AND  
METHOD OF FABRICATING THE SAME

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
**Customer Window, Mail Stop Patent Application**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Korean application:


Appln. No. 2003-0055897 filed August 12, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

  
Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: March 24, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0055897  
Application Number

출원 년 월 일 : 2003년 08월 12일  
Date of Application AUG 12, 2003

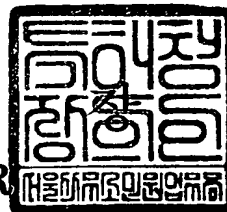
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 07 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【제출일자】 2003.08.12  
【발명의 명칭】 반도체 기판과 “L”형 스페이서 사이에 에어 갭을 구비하는 반도체 소자 및 그 제조 방법  
【발명의 영문명칭】 Semiconductor device including an air gap between a semiconductor substrate and an L-shape spacer and method for forming the same  
【출원인】  
    【명칭】 삼성전자 주식회사  
    【출원인코드】 1-1998-104271-3  
【대리인】  
    【성명】 박상수  
    【대리인코드】 9-1998-000642-5  
    【포괄위임등록번호】 2000-054081-9  
【발명자】  
    【성명의 국문표기】 박호우  
    【성명의 영문표기】 PARK,HO WOO  
    【주민등록번호】 710307-1011325  
    【우편번호】 445-973  
    【주소】 경기도 화성군 태안읍 반월리 신영통 현대아파트 110동 902호  
    【국적】 KR  
【발명자】  
    【성명의 국문표기】 박형무  
    【성명의 영문표기】 PARK,HYUNG MOO  
    【주민등록번호】 580310-1011633  
    【우편번호】 449-846  
    【주소】 경기도 용인시 수지읍 풍덕천리 삼성5차아파트 510-803  
    【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	20	항	749,000	원
---------	----	---	---------	---

【합계】	781,000	원		
------	---------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 기판과 "L"형 스페이서 사이에 에어 갭을 구비하는 반도체 소자 및 그 제조 방법을 제공한다. 반도체 기판에 서로 이격된 소오스 및 드레인이 형성된다. 상기 소오스 및 상기 드레인 사이의 채널 영역 상부에 게이트 패턴이 배치된다. 상기 게이트 패턴의 측벽들을 덮는 수직부 및 상기 수직부의 하부로부터 연장된 수평부로 구성되되, 상기 수평부가 상기 소오스 및 상기 드레인에 중첩된 "L"형 스페이서가 형성된다. 상기 "L"형 스페이서 및 상기 게이트 패턴 사이에 개재되어 적어도 상기 수평부 및 상기 소오스/드레인 사이에 에어 갭을 제공하는 지지부가 형성된다.

**【대표도】**

도 2

**【색인어】**

기생 커패시턴스, "L"형 스페이서, 에어 갭, 지지부, 습식 식각

## 【명세서】

## 【발명의 명칭】

반도체 기판과 "L"형 스페이서 사이에 에어 갭을 구비하는 반도체 소자 및 그 제조 방법{Semiconductor device including an air gap between a semiconductor substrate and an L-shape spacer and method for forming the same}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따라 "L"형 스페이서를 구비하는 반도체 소자의 단면도이다.

도 2는 본 발명의 실시예에 따른 반도체 소자의 구조를 보이는 단면도이다.

도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자의 제조 공정 단면도이다.

\* 도면의 주요 부분에 대한 도면 부호의 설명 \*

100: 반도체 기판	110: 게이트 절연막
120: 게이트 전극	130: 버퍼 절연막
140: 지지막	141: "L"형 지지막 패턴
142: 지지부	150: 스페이서 절연막
151: "L"형 스페이서	152: 수직부
153: 수평부	160: 희생막
161: 희생막 패턴	170: 소오스/드레인

171: 저농도 소오스/드레인

172: 고농도 소오스/드레인

200: 게이트 패턴

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체 소자 제조 분야에 관한 것으로, 더욱 상세하게는 반도체 기판과 "L"형 스페이서 사이에 에어 갭을 구비하는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <15> 반도체 소자의 크기 및 디자인 룰(design rule)이 점차 축소됨에 따라, 반도체 소자를 구성하는 중요한 요소인 FET(Field Effect Transistor)의 크기 축소도 점점 가속화되고 있다. 반도체 소자의 집적도가 증가함과 동시에 반도체 소자의 전력 소모 감소 또한 중요하게 여겨지고 있으며, 아울러 반도체 소자의 동작속도를 향상시키는 것 역시 해결하여야 할 중요한 과제로 대두되고 있다.
- <16> FET의 크기 축소에 따라 핫 캐리어(hot carrier)가 게이트 절연막으로 주입되는 문제를 해결하기 위해 저도핑 드레인 (lightly doped drain, LDD) 구조가 제시된 바 있다. LDD 구조를 구현하기 위한 하나의 방법으로서 게이트 전극 측벽들에 "L"형 스페이서들을 형성하고, 게이트 전극과 "L"형 스페이서들을 이온주입 마스크로 이용하여 저농도 소오스/드레인 및 고농도 소오스/드레인을 형성한다.
- <17> 도 1은 "확장된 극히 얇은 소오스/드레인 접합을 구비하는 MOSFET의 자기정렬 실리사이드 형성 방법(Method of forming a self-aligned MOSFET with an extended ultra-shallow S/D

junction)"이라는 제목으로 세린 우(Shye-Lin Wu)에 의해 미국특허 제6,087,234호에 개시된 종래 "L"형 스페이서를 구비하는 반도체 소자의 구조를 개략적으로 보이는 단면도이다.

<18> 도 1에 보이는 바와 같이 종래 "L"형 스페이서를 구비하는 반도체 소자는 게이트 전극(12) 측벽들 및 그 주변의 반도체 기판(10)을 덮는 "L"형 스페이서들(13)을 포함한다. 도 1에서 참조번호 '11'은 게이트 절연막, '14'는 저농도 소오스/드레인, '15'는 고농도 소오스/드레인을 각각 나타낸다.

<19> 한편, 반도체 소자의 동작속도를 향상시키기 위해서는 여러 요소들을 고려하여야 한다. 그 중에서도 대표적인 것이 기생 커패시턴스(parasitic capacitance) 문제이다. 기생 커패시턴스는 반도체 소자의 여러 부분에서 존재하면서 동작 속도의 지연을 야기한다. 이러한 기생 커패시턴스 중의 하나가 게이트 주변 기생 커패시턴스(gate fringe parasitic capacitance)이다.

<20> 도 1에 보이는 바와 같이 "L"형 스페이서들(13)이 게이트 전극(12)과 저농도 소오스/드레인(14)에 접하는 종래 반도체 소자는 게이트 주변 기생 커패시턴스( $C_{gf}$ )가 발생한다. 이러한, 게이트 주변 기생 커패시턴스( $C_{gf}$ )는 게이트 전극의 특성을 열화시켜 게이트 동작 속도의 지연을 유발하고 소자의 성능을 저하시키는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<21> 상기와 같은 문제를 해결하기 위한 본 발명의 기술적 과제는, 반도체 기판과 "L"형 스페이서 사이에 에어 갭을 구비하는 반도체 소자 및 그 제조 방법을 제공하는데 있다.



## 【발명의 구성 및 작용】

- <22>       상기 기술적 과제를 이루기 위한 본 발명의 반도체 소자는, 반도체 기판에 형성되고 서로 이격된 소오스 및 드레인을 포함한다. 상기 소오스 및 상기 드레인 사이의 채널 영역 상부에 게이트 패턴이 배치된다. 상기 게이트 패턴의 측벽들을 덮는 수직부(vertical portion) 및 상기 수직부의 하부로부터 연장된 수평부(lateral portion)로 구성되되, 상기 수평부는 상기 소오스 및 상기 드레인에 중첩된 "L"형 스페이서가 형성된다. 상기 "L"형 스페이서 및 상기 게이트 패턴 사이에 개재되어 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 소오스/드레인 사이에 에어 갭을 제공하는 지지부가 형성된다.
- <23>       또한 상기 기술적 과제를 이루기 위한 본 발명의 반도체 소자 제조 방법은, 반도체 기판 상에 게이트 패턴을 형성한다. 상기 게이트 패턴을 포함하는 상기 반도체 기판 전면 상에 지지막, 스페이서 절연막 및 희생막을 차례로 형성한다. 상기 희생막, 상기 스페이서 절연막 및 상기 지지막을 이방성 식각하여 상기 게이트 패턴의 측벽들을 덮는 "L"형의 단면을 갖는 지지막 패턴, 상기 지지막 패턴을 덮는 "L"형의 단면을 갖는 스페이서 및 상기 스페이서를 덮는 희생막 패턴을 형성한다. 상기 "L"형 스페이서는 상기 반도체 기판의 표면에 대하여 수직한 수직부 및 상기 수직부의 하부로부터 연장된 수평부로 구성된다. 상기 지지막 패턴을 등방성 식각하여 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 반도체 기판 사이에 에어 갭을 제공한다. 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체 기판 내에 불순물 이온들을 주입하여 상기 게이트 패턴의 양 옆의 상기 반도체 기판 내에 소오스 및 드레인을 형성한다.
- <24>       또한 상기 기술적 과제를 이루기 위한 본 발명의 반도체 소자 제조 방법은, 반도체 기판 상에 게이트 패턴을 형성한다. 상기 게이트 패턴을 포함하는 상기 반도체 기판 전면 상에, 상기 게이트 패턴에 대해 식각선택비를 갖는 물질로 버퍼 절연막을 형성한다. 상기 버퍼 절연

막 상에 지지막, 스페이서 절연막 및 희생막을 차례로 형성하되, 상기 지지막 및 상기 희생막을 상기 스페이서 절연막에 대해 식각선택비를 갖는 동일한 물질로 형성한다. 상기 희생막, 상기 스페이서 절연막 및 상기 지지막을 이방성 식각하여 상기 게이트 패턴의 측벽들을 덮는 "L"형의 단면을 갖는 지지막 패턴, 상기 지지막 패턴을 덮는 "L"형의 단면을 갖는 스페이서 및 상기 스페이서를 덮는 희생막 패턴을 형성한다. 상기 "L"형 스페이서는 상기 반도체 기판의 표면에 대하여 수직한 수직부 및 상기 수직부의 하부로부터 연장된 수평부로 구성된다. 상기 희생막 패턴을 완전히 제거함과 동시에 상기 지지막 패턴을 등방성 식각하여 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 반도체 기판 사이에 에어 갭을 제공한다. 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체 기판 내에 불순물 이온들을 주입하여 상기 게이트 패턴의 양 옆의 상기 반도체 기판 내에 소오스 및 드레인을 형성한다.

<25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<26> 도 2에 보이는 바와 같이 본 발명의 실시예에 따른 반도체 소자는, 반도체 기판(100) 상에 형성된 게이트 절연막(110)과 게이트 전극(120)으로 이루어지는 게이트 패턴(200), 그리고 상기 게이트 패턴(200)의 측벽들 상에 형성된 "L"형 스페이서들(151)을 포함한다. 상기 "L"형 스페이서(151)는 상기 게이트 패턴(200)의 측벽들로부터 일정 간격을 두고 형성된 수직부(152) 및 상기 수직부(152)의 하부로부터 연장되며 상기 반도체 기판(100)에 평행한 수평부(153)를

포함하여, 상기 반도체 기판(100)과 상기 수평부(153) 사이에 에어 갭(A1)을 제공한다. 또한, 본 발명에 따른 반도체 소자는 상기 게이트 패턴(200)의 측벽들과 상기 "L"형 스페이서들(151) 사이에 형성되어 상기 "L"형 스페이서들(151)을 지지하는 지지부들(142)을 포함한다. 상기 게이트 패턴(200) 양 옆의 상기 반도체 기판(200) 내에는 소오스/드레인(170)이 형성된다. 상기 소오스/드레인(170)은 상기 "L"형 스페이서(151)의 상기 수평부(153)와 중첩되는 반도체 기판(100) 내에 형성된 저농도 소오스/드레인(171)과 상기 수평부(153) 옆의 반도체 기판(100) 내에 형성되어 상기 저농도 소오스/드레인(171)과 접하는 고농도 소오스/드레인(172)을 포함한다.

<27>       상기 "L"형 스페이서(151)는 산화막으로 이루어질 수 있다. 상기 지지부들(142)은 반절연(semi-insulating) 폴리실리콘 또는 질화막으로 이루어질 수 있다. 한편, 상기 게이트 전극(120)과 상기 지지부(142)를 이루는 물질을 고려하여 상기 게이트 전극(120)과 상기 지지부(142) 사이에 버퍼 절연막(130)을 더 포함할 수도 있다.

<28>       이와 같이 본 발명은 "L"형 스페이서(151)의 수평부(153)와 반도체 기판(100) 사이에 에어 갭(A1)을 형성함에 따라 게이트 전극(120) 주변의 기생 커패시턴스( $C_{gf}$ )를 감소시킬 수 있다. 즉, 기생 커패시터의 전극으로서 역할하는 상기 게이트 전극(120)과 상기 저농도 소오스/드레인(171) 사이에 에어 갭(A1)을 구비하고, 또한 상기 에어 갭(A1)의 간격 'g'와 상기 지지부(142)의 폭 'w'에 의해 게이트 전극(120)과 저농도 소오스/드레인(171)의 거리를 증가시킴에 따라 게이트 주변 기생 커패시턴스( $C_{gf}$ )를 감소시킬 수 있다.

<29>       이하, 도 3a 내지 도 3e를 참조하여 본 발명의 실시예에 따른 반도체 소자 제조 방법을 설명한다.

- <30> 먼저 도 3a에 보이는 바와 같이, 실리콘 기판 등의 반도체 기판(100) 상에 게이트 절연막(110)을 형성한다. 상기 게이트 절연막(110)은  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiON}$ ,  $\text{ZrO}_2$ ,  $\text{HfO}_2$ ,  $\text{Ta}_2\text{O}_5$  또는  $\text{Al}_2\text{O}_3$ 로 형성한다. 이어서, 상기 게이트 절연막(110) 상에 게이트 전극(120)을 형성한다. 결과적으로, 상기 게이트 절연막(110) 및 게이트 전극(120)으로 이루어지는 게이트 패턴(200)이 형성된다. 이러한 게이트 패턴(200)은 상기 게이트 절연막(110)을 이룰 절연막 상에 상기 게이트 전극(120)을 이룰 도전막을 형성하고, 상기 절연막 및 상기 도전막을 패터닝함으로써 얻어진다.
- <31> 다음으로 도 3b에 보이는 바와 같이, 상기 게이트 패턴(200)의 형성이 완료된 상기 반도체 기판(100) 전면에서 버퍼 절연막(130)을 형성한다. 상기 버퍼 절연막(130) 형성의 한 목적은 상기 게이트 패턴(200) 형성 과정에서 발생한 식각손상을 보상하기 위한 것이다. 상기 버퍼 절연막(130)은 90 Å 내지 110 Å 두께의 산화막을 성장시켜 형성할 수 있다.
- <32> 이어서, 상기 버퍼 절연막(130) 상에 지지막(140), 스페이서 절연막(150) 및 희생막(160)을 차례로 형성한다. 상기 버퍼 절연막(130), 지지막(140), 스페이서 절연막(150) 및 희생막(160)은 각각 상기 게이트 패턴(200)이 형성된 상기 반도체 기판(100) 상의 토폴로지를 갖는다.
- <33> 본 발명의 실시예에서 상기 스페이서 절연막(150)은 화학기상증착법으로 100 Å 내지 500 Å 두께의 산화막을 증착하여 형성한다. 상기 지지막(140) 및 상기 희생막(160)은 각각 상기 스페이서 절연막(150)을 이루는 산화막에 대해 식각선택비를 갖는 폴리실리콘막 또는 질화막을 화학기상증착법을 이용하여 100 Å 내지 1000 Å 두께로 증착하여 형성한다. 상기 지지막(140)을 폴리실리콘막으로 형성할 경우에는 기생 커패시턴스의 발생을 방지하기 위해 반절연 폴리실리콘막을 이용하는 것이 바람직하다. 아울러, 공정의 단순화를 위해 상기 지지막

(140) 및 상기 희생막(160)을 동일 물질로 형성하는 것이 바람직하다. 한편, 상기 게이트 전극(120)과 상기 지지막(130)을 각각 폴리실리콘막으로 형성한 경우, 식각손상을 보상하기 위하여 형성된 상기 버퍼 절연막(130)은 이후 실시되는 습식식각 공정에서 게이트 전극(120)의 식각을 방지하는 보호막으로서도 역할을 할 수 있다.

<34> 다음으로 도 3c에 보이는 바와 같이, 상기 버퍼 절연막(130)이 노출될 때까지 상기 희생막(160), 상기 스페이서 절연막(150) 및 상기 지지막(140)을 전면 이방성 식각하여, 게이트 전극(120)의 측벽들 상에 희생막 패턴들(161), "L"형 스페이서들(151) 및 "L"형 지지막 패턴들(141)을 형성한다.

<35> 상기 희생막 패턴들(161), 상기 "L"형 스페이서들(151) 및 상기 "L"형 지지막 패턴들(141)은 각각 동일 건식식각 과정에서 형성될 수 있다. 시간 경과에 따른 각 형성 과정은 다음과 같이 이루어진다. 먼저, 상기 희생막(160)을 전면 식각함으로써 희생막 패턴들(161)이 형성된다. 이어서, 상기 희생막 패턴들(161)의 형성 후 노출된 상기 스페이서 절연막(150)이 전면 식각되어 상기 게이트 패턴(200)의 측벽들로부터 일정 간격을 갖는 수직부들(152) 및 상기 수직부들(152)의 하부로부터 연장되며 상기 반도체 기판(100)에 평행한 수평부들(153)로 이루어지는 상기 "L"형 스페이서들(151)이 형성된다. 다음으로, 상기 "L"형 스페이서들(151)의 형성 후 노출된 상기 지지막(140)이 전면 식각되어 상기 "L"형 스페이서들(151)과 상기 게이트 패턴(200) 측벽들 사이에 "L"형 지지막 패턴(141)이 형성된다. 상기 "L"형 스페이서들(151)의 수직부들(152)과 상기 게이트 패턴(200) 사이의 간격 그리고 상기 수평부들(153)과 상기 버퍼 절연막(130) 사이의 간격은 각각 상기 "L"형 지지막 패턴(141)의 폭과 두께에 의해 결정된다.

<36> 본 발명의 실시예에서 상기 건식식각은 각각  $CF_4$  및  $O_2$  가스를 이용하는 주식각(main etch) 및 과도식각(over etch)으로 진행된다. 상기 주식각은 180 W 내지 220 W 전력, 90 mTorr

내지 110 mTorr 압력 조건에서 실시한다. 상기 과도식각은 90 W 내지 110 W 전력, 135 mTorr 내지 165 mTorr 압력 조건에서 실시한다.

<37> 다음으로 도 3d에 보이는 바와 같이 희생막 패턴들(161)을 제거하여 상기 "L"형 스페이서들(151)의 상기 수직부들(152) 및 상기 수평부들(153)의 상부 표면을 각각 노출시키고, "L"형 지지막 패턴(141)을 습식식각하여 상기 "L"형 스페이서들(151)의 상기 수평부들(153)과 상기 버퍼 절연막(130) 사이에 에어 갭들(A1)을 제공하는 지지부들(142)을 형성한다.

<38> 상기 지지부들(142)을 형성하기 위한 상기 습식식각 과정에서 상기 "L"형 스페이서들(151)의 수직부들(152)로 덮여있는 "L"형 지지막 패턴들(141)의 일부분은 식각되지 않고 잔류하여 상기 게이트 전극(120)의 측벽들을 덮는 버퍼 절연막(130)과 상기 "L"형 스페이서들(151)의 수직부들(152) 사이에 상기 지지부(142)가 형성된다. 상기 습식식각에서 식각율 또는 시간에 따라 상기 지지부(142)가 형성되는 위치 및 크기를 변화시킬 수 있다. 한편, 상기 습식식각에 의해 상기 게이트 전극(120)의 측벽들을 덮는 상기 버퍼 절연막(130)과 상기 "L"형 스페이서들(151)의 수직부들(152) 사이에 또 다른 에어 갭들(A2)이 함께 형성된다.

<39> 상기 지지막(140)을 폴리실리콘막으로 형성한 경우 상기 습식식각은  $\text{NH}_4\text{OH}$  용액을 이용하여 45 °C 내지 55 °C에서 실시한다. 상기 지지막(140)을 질화막으로 형성한 경우 상기 습식식각은  $\text{H}_3\text{PO}_4$  용액을 이용하여 145 °C 내지 150 °C에서 실시한다.

<40> 한편, 상기 희생막 패턴들(161)은 건식식각 또는 습식식각으로 제거될 수 있다. 상기 희생막 패턴들(161)과 상기 "L"형 지지막 패턴들(151)을 동일한 물질로 형성한 경우에는 습식식각으로 상기 희생 스페이서(161)를 제거하면서 동시에 상기 "L"형 지지막 패턴(141)의 일부를 식각하여 상기 지지부(142)를 형성할 수도 있다.

<41> 다음으로 도 3e에 보이는 바와 같이, 소오스/드레인 형성을 위한 불순물 이온주입 공정 및 열처리 공정을 실시하여 상기 게이트 패턴(200) 양 옆의 상기 반도체 기판(100) 내에 소오스/드레인(170)을 형성한다. 상기 소오스/드레인(170)은 상기 게이트 패턴(200)을 이온주입 마스크로 이용한 불순물 이온주입 공정으로 형성한다. 그에 따라 상기 수평부(153)와 중첩되어 상대적으로 적은 양의 이온이 주입되는 반도체 기판(100) 내에는 저농도 소오스/드레인(171)이 형성되고, 상기 이온주입 마스크로 덮이지 않는 상기 수평부(153) 옆의 상기 반도체 기판(100) 내에 상대적으로 많은 양의 이온이 주입되어 고농도 소오스/드레인(172)이 형성된다.

<42> 한편, 상기 본 발명의 실시예에서는 식각 손상을 보상하기 위하여 게이트 패턴 및 반도체 기판 표면 상에 상기 버퍼 절연막을 형성한다. 전술한 바와 같이 상기 지지막이 상기 게이트 전극과 동일한 물질로 형성되는 경우 등과 같이 상기 게이트 전극에 대해 식각선택비를 갖지 않는 경우, 상기 버퍼 절연막은 게이트 전극의 보호막으로서 역할할 수 있다. 그러나, 상기 지지막이 상기 게이트 전극에 대해 식각선택비를 갖는 경우에는 상기 버퍼 절연막의 형성은 생략될 수 있다.

#### 【발명의 효과】

<43> 상기와 같이 이루어지는 본 발명은 게이트 전극 측벽 상에 형성되는 "L"형 스페이서의 수평부와 반도체 기판 사이에 상대적으로 유전율이 낮은 에어 갭을 형성함에 따라 게이트 전극 주변의 기생 커패시턴스를 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판에 형성되고 서로 이격된 소오스 및 드레인;

상기 소오스 및 상기 드레인 사이의 채널 영역 상부에 배치된 게이트 패턴;

상기 게이트 패턴의 측벽들을 덮는 수직부(vertical portion) 및 상기 수직부의 하부로 부터 연장된 수평부(lateral portion)로 구성되되, 상기 수평부는 상기 소오스 및 상기 드레인 에 중첩된 "L"형 스페이서; 및

상기 "L"형 스페이서 및 상기 게이트 패턴 사이에 개재되어 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 소오스/드레인 사이에 에어 갭을 제공하는 지지부를 포함하는 반도체 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 소오스/드레인은,

상기 "L"형 스페이서의 상기 수평부와 중첩되는 반도체 기판 내에 형성된 저농도 소오스/드레인; 및

상기 "L"형 스페이서의 상기 수평부 옆의 상기 반도체 기판 내에 형성된 고농도 소오스/드레인을 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제 1 항에 있어서,



상기 L형 스페이서는,

산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 항에 있어서,

상기 지지부는,

폴리실리콘 또는 질화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 게이트 패턴과 상기 지지부 사이에 개재된 버퍼 절연막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

반도체 기판 상에 게이트 패턴을 형성하고,

상기 게이트 패턴을 포함하는 상기 반도체 기판 전면 상에 지지막, 스페이서 절연막 및 희생막을 차례로 형성하고,

상기 희생막, 상기 스페이서 절연막 및 상기 지지막을 이방성 식각하여 상기 게이트 패턴의 측벽들을 덮는 "L"형의 단면을 갖는 지지막 패턴, 상기 지지막 패턴을 덮는 "L"형의 단면을 갖는 스페이서 및 상기 스페이서를 덮는 희생막 패턴을 형성하되, 상기 "L"형 스페이서는 상기 반도체 기판의 표면에 대하여 수직인 수직부 및 상기 수직부의 하부로부터 연장된 수평부로 구성되고,

상기 지지막 패턴을 등방성 식각하여 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 반도체 기판 사이에 에어 갭을 제공하고,

상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체 기판 내에 불순물 이온들을 주입하여 상기 게이트 패턴의 양 옆의 상기 반도체 기판 내에 소오스 및 드레인을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 지지막 및 상기 희생막은 동일한 물질로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 희생막 패턴은,

상기 지지막 패턴을 등방성 식각하면서 동시에 제거하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 9】

제 6 항에 있어서,

상기 스페이서 절연막은,

산화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 10】

제 9 항에 있어서,

상기 지지막은,

폴리실리콘막 또는 질화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 11】

제 9 항에 있어서,

상기 지지막은,

반절연 폴리실리콘막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 12】

제 9 항에 있어서,

상기 희생막은,

폴리실리콘막 또는 질화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 13】

제 6 항에 있어서,

상기 소오스/드레인을 형성하는 것은,

상기 L형 스페이서의 상기 수평부와 중첩되는 상기 반도체 기판 내에 저농도 소오스/드레인을 형성하고,

상기 L형 스페이서의 상기 수평부 옆의 상기 반도체 기판 내에 고농도 소오스/드레인을 형성하는 것을 포함하는 반도체 소자 제조 방법.

【청구항 14】

제 6 항에 있어서,

상기 게이트 패턴과 상기 지지막 사이에 버퍼 절연막을 형성하는 것을 더 포함하는 반도체 소자 제조 방법.

【청구항 15】

반도체 기판 상에 게이트 패턴을 형성하고,

상기 게이트 패턴을 포함하는 상기 반도체 기판 전면 상에, 상기 게이트 패턴에 대해 식각선택비를 갖는 물질로 버퍼 절연막을 형성하고,

상기 버퍼 절연막 상에 지지막, 스페이서 절연막 및 희생막을 차례로 형성하되, 상기 지지막 및 상기 희생막을 상기 스페이서 절연막에 대해 식각선택비를 갖는 동일한 물질로 형성하고,

상기 희생막, 상기 스페이서 절연막 및 상기 지지막을 이방성 식각하여 상기 게이트 패턴의 측벽들을 덮는 "L"형의 단면을 갖는 지지막 패턴, 상기 지지막 패턴을 덮는 "L"형의 단면을 갖는 스페이서 및 상기 스페이서를 덮는 희생막 패턴을 형성하되, 상기 "L"형 스페이서는 상기 반도체 기판의 표면에 대하여 수직인 수직부 및 상기 수직부의 하부로부터 연장된 수평부로 구성되고,

상기 희생막 패턴을 완전히 제거함과 동시에 상기 지지막 패턴을 등방성 식각하여 적어도 상기 "L"형 스페이서의 상기 수평부 및 상기 반도체 기판 사이에 에어 갭을 제공하고,



상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체 기판 내에 불순물 이온들을 주입하여 상기 게이트 패턴의 양 옆의 상기 반도체 기판 내에 소오스 및 드레인을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

【청구항 16】

제 15 항에 있어서,

상기 게이트 패턴은,

폴리실리콘막으로 이루어지는 게이트 전극을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 17】

제 16 항에 있어서,

상기 버퍼 절연막은,

산화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 18】

제 15 항에 있어서,

상기 스페이서 절연막은,

산화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 19】

제 18 항에 있어서,

상기 지지막 및 상기 희생막은,

폴리실리콘막 또는 질화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 20】

제 15 항에 있어서,

상기 소오스/드레인을 형성하는 것은,

상기 "L"형 스페이서의 상기 수평부와 중첩되는 상기 반도체 기판 내에 저농도 소오스/드레인을 형성하고,

상기 "L"형 스페이서의 상기 수평부 옆의 상기 반도체 기판 내에 고농도 소오스/드레인을 형성하는 것을 포함하는 반도체 소자 제조 방법.

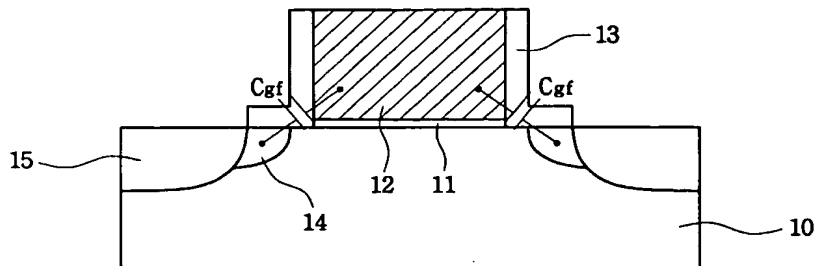


1020030055897

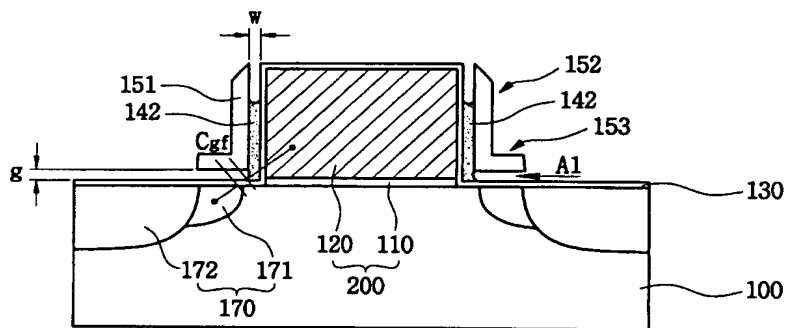
출력 일자: 2003/10/15

【도면】

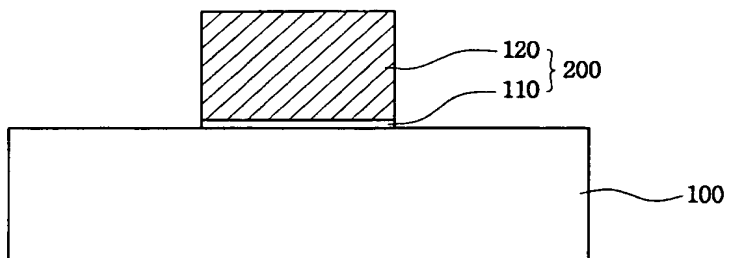
【도 1】



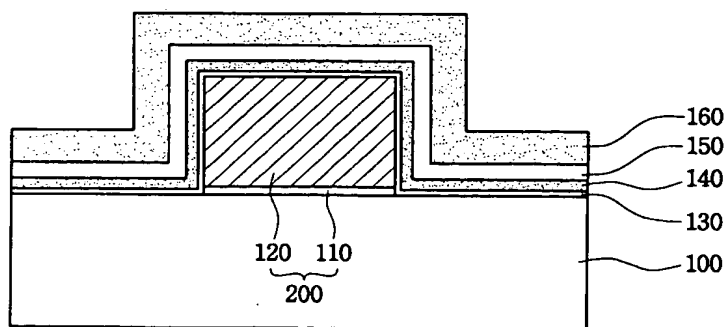
【도 2】



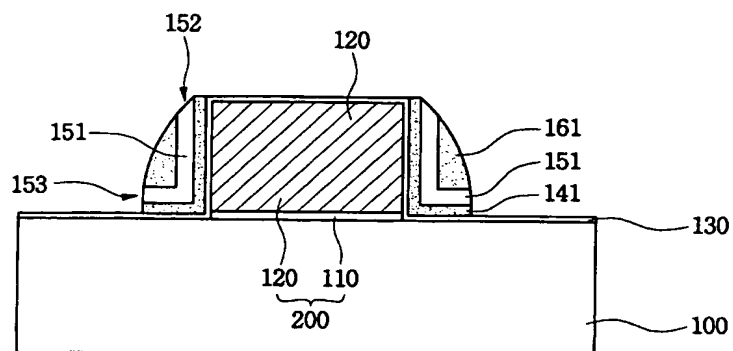
【도 3a】



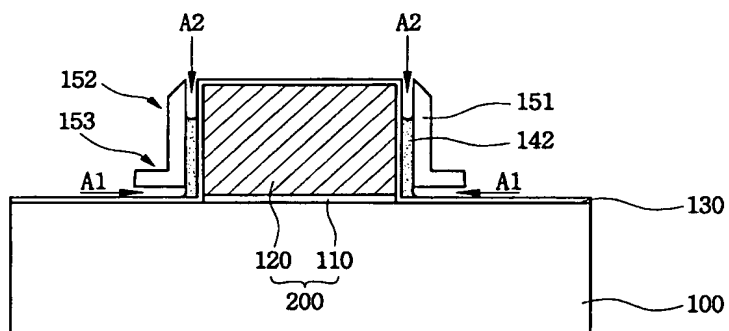
【도 3b】



【도 3c】



【도 3d】



【도 3e】

